

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-244331
(P2000-244331A)

(43)公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコト*(参考)
H 03 M 13/00		H 03 M 13/00	5 J 065
G 11 B 20/18	5 1 2	G 11 B 20/18	5 1 2 D
	5 4 4		5 4 4 A

審査請求 未請求 請求項の数 7 O.L (全 12 頁)

(21)出願番号 特願平11-39743

(22)出願日 平成11年2月18日(1999.2.18)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 星沢 拓
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内

(72)発明者 川前 治
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内

(74)代理人 100068504
弁理士 小川 勝男

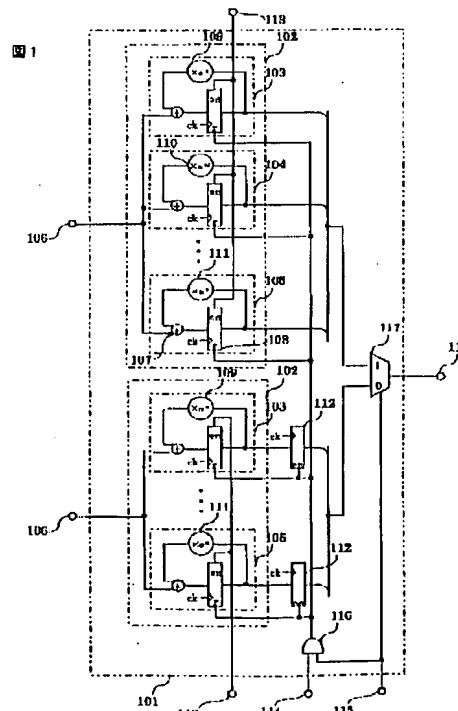
最終頁に続く

(54)【発明の名称】 デジタル信号処理回路

(57)【要約】

【課題】本発明の課題は、誤り訂正回路のメモリアクセス回数を減らし、誤り訂正処理を高速化、またこの回路を有するデジタル信号処理回路で行われる処理を高速化することである。

【解決手段】その誤り訂正手段は、入力を複数のデータ列または同じデータ列の複数のデータに切り替え、RAMから入力されるデータの使用率を高めることで、誤り訂正回路のRAMへのアクセス回数を減らすことができるようにして、高速化を可能とする。



【特許請求の範囲】

【請求項1】検査記号が付加された複数のデータ列を入力とし、データ列が含む誤りの状態を示すシンドロームを求める回路を含むデジタル信号処理回路において、前記シンドロームを求める回路は、複数の前記データ列を入力とし、求められた複数のシンドロームから必要なシンドロームを選択して用いることを特徴とするデジタル信号処理回路。

【請求項2】検査記号が付加された複数のデータ列を入力とし、データ列が含む誤りの状態を示すシンドロームを求める回路を含むデジタル信号処理回路において、前記シンドロームを求める回路は、複数の前記データ列または単一の前記データ列の複数データに入力を切り替えることを特徴とするデジタル信号処理回路。

【請求項3】検査記号が付加された複数のデータ列を入力とし、データ列が含む誤りの状態を示すシンドロームを求める回路を含むデジタル信号処理回路において、前記シンドロームを求める回路は、一度に入力される前記データ列の数を切り替えることを特徴とするデジタル信号処理回路。

【請求項4】複数のデータ列に少なくとも第1の検査記号と第2の検査記号が付加されたデータを入力とし、上記入力されたデジタルデータを復調する回路と、上記復調されたデジタルデータを一時的に蓄える記憶回路と、上記記憶回路からデータを読み出して誤りデータを検出または訂正する誤り訂正回路と、上記復調回路と上記誤り訂正回路のほかに上記記憶回路にデータを書き込みまたは読み出しを行う別の回路を含むデジタル信号処理回路において、前記誤り訂正回路は、複数の前記データ列を前記データ列が含む誤りの状態を示すシンドロームを求める回路の入力とし、求められた複数のシンドロームから必要なシンドロームを選択して用いることを特徴とするデジタル信号処理回路。

【請求項5】複数のデータ列に少なくとも第1の検査記号と第2の検査記号が付加されたデータを入力とし、上記入力されたデジタルデータを復調する回路と、上記復調されたデジタルデータを一時的に蓄える記憶回路と、上記記憶回路からデータを読み出して誤りデータを検出または訂正する誤り訂正回路と、上記復調回路と上記誤り訂正回路のほかに上記記憶回路にデータを書き込みまたは読み出しを行う別の回路を含むデジタル信号処理回路において、前記誤り訂正回路は、前記データ列が含む誤りの状態を示すシンドロームを求める回路の入力を複数の前記データ列または単一の前記データ列の複数データに切り替えることを特徴とするデジタル信号処理回路。

【請求項6】上記第5項記載のデジタル信号処理回路において、前記誤り訂正回路は、前記データ列が含む誤りの状態を示すシンドロームを求める回路の入力を対象となる前記検査記号に応じて切り替えることを特徴とす

るデジタル信号処理回路。

【請求項7】上記第6項記載のデジタルデータ再生装置において、前記誤り訂正回路は、前記データ列が含む誤りの状態を示すシンドロームを求める回路からの出力を対象となる前記検査記号に応じて切り替えることを特徴とするデジタル信号処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルデータ処理回路に関し、特にデジタルデータを一旦メモリに蓄えた後、誤り訂正処理が行なわれるデジタルデータ処理回路に関する。

【0002】

【従来の技術】記録媒体から読み取られたデータのデジタルデータ処理回路に関する例として、林謙二著「C D-オーディオからパソコンへ」コロナ社、p.p. 56-71(1990)に記載のものがある。これにはCD再生装置、およびその装置に含まれるデジタルデータ処理部の処理内容とその回路構成についての記載がされている。

【0003】また特開平10-107648号公報には、CIRCの誤り訂正処理に必要なメモリへのアクセス回数を、読み出したデータを含むC1符号、C2符号のシンドローム演算を並列処理することで平準化し、誤り訂正処理の高速化を実現する方法および回路についての記載がある。さらに特開平8-167857号公報には、RS符号のシンドローム演算を複数ワード同時に処理することで、シンドローム演算に必要となる時間を短縮させる方法およびそれを実現するための回路についての記載がある。

【0004】

【発明が解決しようとする課題】しかし、従来の方法は、1符号ごとにデータの読み出し方向を変えて誤り訂正を行うシステムにおいて、誤り訂正回路からメモリへのアクセス回数を減らす方法やRS符号のシンドローム演算を複数ワード同時処理することでシンドローム演算に必要な処理時間を短縮する方法についての記載はあるが、積符号のように複数方向に誤り訂正符号が形成され、一方向にまとめて複数の誤り訂正処理を行うことが可能な場合に誤り訂正回路からメモリへのアクセス回数を減らす方法や、一度に処理が必要なワード数が誤り訂正符号の方向に応じて変化する場合にもシンドローム演算を高速化することが可能な方法や回路についての記載はない。

【0005】本発明の目的は、同時にシンドローム演算の処理が必要とされるワード数が変化する場合においても、誤り訂正回路のメモリアクセス回数を減らし、誤り訂正処理を高速化、またこの回路を有するデジタルデータ処理回路のデータ処理を高速化することである。

【0006】

【課題を解決するための手段】上記した課題を達成するために本発明では、複数データ列からなるデータフィールドに少なくとも第1の検査記号と第2の検査記号が附加されたデータを入力とし、入力されたディジタルデータを復調する回路と復調されたディジタルデータを一時的に蓄えるメモリとメモリからデータを読み出して誤りデータを訂正または検出する誤り訂正回路と復調回路と誤り訂正回路のほかにメモリにデータを書き込みまたは読み出しを行う別の回路を含むディジタルデータ処理回路において、その誤り訂正回路は、入力を複数の誤り訂正符号または一つの誤り訂正符号上の複数データに切り替え、求められたいいくつかのシンドロームの中から次の演算で用いるシンドロームを選択し、シンドローム演算回路から出力することで、誤り訂正回路からRAMへのアクセス回数を低減し、誤り訂正回路また、この回路を含むディジタルデータ処理回路の高速化を実現する。

【0007】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて説明する。

【0008】図1は本発明の第1の実施形態に関するディジタルデータ処理回路の構成を示すブロック図である。

【0009】この図において、101は2系列同時処理シンドローム演算回路、102はシンドローム演算回路、103はSn演算回路、104はSn-1演算回路、105はS0演算回路、106は8ビットデータ入力端子、107はGF(2^n)上の足し算回路、108はリセット、イネーブル付き8ビットレジスタ、109はα^nの掛け算回路、110はα^(n-1)の掛け算回路、111はα^0の掛け算回路、112はイネーブル付き8ビットレジスタ、113はイネーブル信号入力端子、114はリセット信号入力端子、115はセレクト信号入力端子、116はAND回路、117はセレクト回路、118は8×(n+1)ビット出力端子である。

【0010】ただし、8ビットデータ入力端子106から入力される8ビットのディジタルデータは、生成多項式: G(x) = (x - α^n)(x - α^(n-1)) … (x - α^0) (ここで、α^nはαのn乗を表わし、α^n, α^(n-1), …, α^0は、それぞれGF(2^n)の元である) からなるRS符号(符号長1、n+1)である。

【0011】2つの8ビットデータ入力端子106から入力されるディジタルデータは別のRS符号であり、各々のシンドローム演算回路102内でSn演算回路103、Sn-1演算回路104、…、S0演算回路105のn+1個の回路に入力される。このデータは、各Si演算回路103, 104, 105において、回路内に含まれるリセット、イネーブル付き8ビットレジスタ108の出力にα^iを掛け合わせたデータと足し合わされ

た後、イネーブル信号入力端子113から入力されるイネーブル信号がHの時、クロックの立ち上がりタイミングでリセット、イネーブル付き8ビットレジスタ108に取り込まれる。

【0012】また、8ビットレジスタ108から出力されるデータは他のSj演算回路の出力と共にセレクト回路117の入力となるか、イネーブル付き8ビットレジスタ112への入力となる。8ビットレジスタ112に入力されたリセット、イネーブル付き8ビットレジスタ108からの出力データは、リセット信号入力端子114から入力されたリセット信号とセレクト信号入力端子115から入力されたセレクト信号が共にHのときのクロックの立ち上がり時にイネーブル付き8ビットレジスタ108に取り込まれ、セレクト回路117へ入力される。

【0013】このセレクト回路117に入力された2種類のデータは、セレクト信号入力端子115から入力されたセレクト信号のH, Lの値により、どちらか一方が選択され、8×(n+1)ビット出力端子118より、2系列同時処理シンドローム演算回路101の出力データ(シンドローム(Sn, Sn-1, …, S0))として出力される。

【0014】図2は、図1の2系列同時処理シンドローム演算回路101を含む誤り訂正回路の構成を示すブロック図の一例である。

【0015】この図において、201は誤り訂正回路、101は2系列同時処理シンドローム演算回路、113はイネーブル信号入力端子、106は8ビットデータ入力端子、202は第2演算回路、203は第3演算回路、204は誤り修正回路、206は誤り修正受付信号入力端子、207は誤りの位置出力端子、208は誤りの値出力端子、114はリセット信号入力端子、115はセレクト信号入力端子である。

【0016】先に記したセレクト信号を用いて2系列同時処理シンドローム演算回路101は、リセット信号入力端子114から全てのブロックに入力されるリセット信号の2回に1回の割合でリセットがかけられた後、8ビットデータ入力端子106から入力される2つのディジタルデータをその各々に同期した2つのイネーブル信号で取り込み、次のリセットが発生する前にそれぞれのデータ列に対するシンドロームを演算する。また、このように求められたシンドロームの値はセレクト信号入力端子115から入力されるセレクト信号の値に応じて、2系列同時シンドローム演算回路101から出力される。

【0017】第2演算回路は、リセット信号入力端子114から入力されるリセット信号のタイミングで、2系列同時シンドローム演算回路101から出力されたシンドロームを取り込み、この値を基に誤り位置多項式、誤り評価多項式を生成する。第2演算回路202で生成さ

5

れた誤り位置多項式、誤り評価多項式は、次の処理開始信号のタイミングで第3演算回路203に入力され、この回路内において、誤り位置多項式、誤り評価多項式を基に誤りの位置、誤りの値が求められた後、次のリセット信号で誤り修正回路204に取り込まれる。

【0018】最後に誤り修正回路204に入力されたいくつかの誤りの位置および誤りの値は、誤り修正受付信号入力端子206から入力される誤り修正受付信号で制御されながら、誤りの位置出力端子207、誤りの値出力端子208から次々と誤り訂正回路201の外部へと出力される。

【0019】次に図3、図4を用いて、本発明が誤り訂正処理時間を短縮することに有効であることを説明する。

【0020】図3は同時に1系列のシンドロームのみを演算するシンドローム演算回路を有する誤り訂正回路の各回路における、時間と演算が行われているフレーム番号の関係を表わした図である。

【0021】図3において、縦軸はフレーム番号、横軸は時間、301はシンドローム演算が行われていること、302は第2演算（誤り位置多項式、誤り評価多項式生成）が行われていること、303は第3演算（誤りの位置、誤りの値演算）が行われていること、304は誤りの修正が行われていることを表わしている。

【0022】また、この図は、時間 $T+i \cdot \Delta t$ において各フレームに対する誤り訂正処理演算が次のフレームへとシフトして行われることを表わしている。つまり、同時に1系列のシンドロームのみを演算するシンドローム演算回路を有する誤り訂正回路内での処理は、1パイプラインの処理時間を固定時間の Δt とした4段のパイプライン処理で行なわれている。さらに図3より、誤り訂正回路の1パイプラインの処理時間 Δt はシンドローム演算処理時間から決定していることがわかる。

【0023】従って、入力される誤り訂正符号の符号長1が長い場合など、誤り訂正回路へのデジタルデータの入力に要する時間が長く必要となるシステムにおいて、誤り訂正処理の高速化を実現するときに、この現象が問題となる。

【0024】すなわち、このようなシステムにおいてはシンドローム演算を高速化、データ入力の高速化が、誤り訂正処理時間を短縮するためには必須となる。

【0025】図4は図2の誤り訂正回路201の各回路における、時間と演算が行われているフレーム番号の関係を表わした図である。

【0026】図4において、図3と同様に縦軸は誤り訂正処理の対象となるフレーム番号、横軸は時間、301はシンドローム演算が行われていること、302は第2演算（誤り位置多項式、誤り評価多項式生成）が行われていること、303は第3演算（誤りの位置、誤りの値演算）が行われていること、304は誤りの修正が行わ

6

れていることを表わしている。

【0027】この図は、図3で説明した誤り訂正回路と同様に誤り訂正を4段のパイプライン処理で行ない、シンドローム演算のみは時間 $T+i \cdot \Delta t$ でその他の演算は時間 $T+1/2 \cdot i \cdot \Delta t$ で行うが、図2の誤り訂正回路201では、シンドローム演算は2系列同時に行うことが可能なため、求められたシンドロームを時間 $1/2 \cdot i \cdot \Delta t$ で切り替えながら出力することで、1パイプラインの処理時間を $1/2 \cdot \Delta t$ とすることが可能であることを表わしている。

【0028】これより、このシステムでは、図3のシステムと比較して、入力されるRS符号の符号長や、誤り訂正回路へのデジタルデータの入力が要する時間を変えることなく、実質的にシンドローム演算を2倍に高速化したことと同じ効果を得ることができ、2系列に対する誤り訂正処理時間を $2 \cdot \Delta t$ 短縮できることがわかる。

【0029】またこの処理は、図2の誤り訂正回路201において、2種類の制御信号（リセット信号、およびセレクト信号）を図4のタイミングで入力し、シンドローム演算回路101から第2演算回路202へ出力される $8 \times (n+1)$ ビットのシンドロームの値を、 $(T+i \cdot \Delta t)$ のリセット信号=H時には、図1におけるリセット、イネーブル付き8ビットレジスタ108からの出力とし、 $(T+(1/2+i) \cdot \Delta t)$ のリセット信号=H時には、一度、リセット、イネーブル付き8ビットレジスタ108で $(1/2 \cdot \Delta t)$ の間、保持されたシンドロームの値を出力することで実現される。

【0030】さらに、図2の誤り訂正回路201において、図1のシンドローム演算回路101で、セレクト信号入力端子115から入力されるセレクト信号をHに固定し、8ビットデータ入力端子106からのみ、8ビットデータの入力をを行うことで図3で示した従来通りの1系列のみのシンドローム演算を行う誤り訂正回路と同様の動作をさせることも当然ながら可能である。

【0031】以上、2系列同時シンドローム演算回路について述べてきたが、3系列、4系列、…と複数系列のシンドローム演算を同時にを行うことが可能な回路を用いることでも、これと同じ効果は得ることができる。

【0032】図5は本発明の第2の実施形態に関するデジタル信号処理回路の構成を示すブロック図である。

【0033】この図において、501は1系列2バイト同時処理または2系列同時処理シンドローム演算回路、508は $\times \alpha^m$ 出力付きシンドローム演算回路、509はシンドローム演算回路、103は S^n 演算回路、502は $\times \alpha^m$ または $\times \alpha^2 m$ セレクタ付き S_m 演算回路、105は S_0 演算回路、506は上位バイトデータ用8ビットデータ入力端子、507は下位バイトデータ用8ビットデータ入力端子、107はGF(2ⁿ)上の足し算回路、108はリセット、イネーブル付き8

ビットレジスタ、109は $\alpha^m n$ の掛け算回路、503は $\alpha^m m$ の掛け算回路、111は $\alpha^m 0$ の掛け算回路、112はイネーブル付き8ビットレジスタ、113はイネーブル信号入力端子、114はリセット信号入力端子、115はセレクト信号入力端子、505はモード信号入力端子、116はAND回路、504はOR回路、117はセレクト回路、118は $8 \times (n+1)$ ビット出力端子である。

【0034】ただし、ここで扱う上位バイト用8ビットデータ入力端子506、下位バイト用8ビットデータ入力端子507から入力される8ビットのデータは、

生成多項式： $G_1(x) = (x - \alpha^m n) (x - \alpha^m n - 1) \dots (x - \alpha^m 0)$ からなる2組のRS符号($l, n+1$)であるか、

生成多項式： $G_2(x) = (x - \alpha^m m) (x - \alpha^m m - 1) \dots (x - \alpha^m 0)$ からなるRS符号($k, m+1$)の2バイトの組データ(D_{2l+1}, D_{2l})である。(RS($k, m+1$)符号のデータ列を($D_{k-1}, D_{k-2}, \dots, D_{m+1}, D_m, \dots, D_0$)とする。)

この1系列2バイト同時処理または2系列同時処理シンドローム演算回路501は、モード信号入力端子505から入力されるモード信号の値がLで、同じタイミングで同じ符号長を持つ2つのRS符号がそれぞれ上位バイト用8ビットデータ入力端子506と下位バイト用8ビットデータ入力端子507から入力された場合には、図1の2系列同時シンドローム演算回路101と同じ動作をする。また、モード信号の値がHの時に上位バイト用8ビットデータ入力端子506と下位バイト用8ビットデータ入力端子507から($D_{k-1}, D_{k-2}, \dots, D_{m+1}, D_m, \dots, D_0$)で表わされるRS符号の2バイトの組データを(D_{k-1}, D_{k-2}), (D_{k-3}, D_{k-4}), ..., (D_1, D_0)の順で入力すると、 $\times \alpha^m i$ 出力付きシンドローム演算回路508とシンドローム演算回路509にはそれぞれ異なるデータ列、それぞれ($D_{k-1}, D_{k-3}, \dots, D_1$), ($D_{k-2}, D_{k-4}, \dots, D_0$)が入力される。

【0035】 $\times \alpha^m i$ 出力付きシンドローム演算回路508内の S_n 演算回路103、…、 S_m 演算回路502、…、 S_0 演算回路105の $n+1$ 個の回路には D_{2l+1} が同時に入力され、 S_i ($i=n, \dots, m+1$)演算回路では、回路内に含まれるリセット、イネーブル付き8ビットレジスタ108から出力されるデータに $\alpha^m i$ を掛け合わせたデータと足し合わせ、 S_j ($j=m, \dots, 0$)演算回路においては、回路内に含まれるリセット、イネーブル付き8ビットレジスタ108から出力されるデータに $\alpha^m j$ を2回掛け合わせたデータと足し合わせた後、イネーブル信号入力端子113から入力されるイネーブル信号がHの時、クロックの立ち上がりタイミングでリセット、イネーブル付き8ビットレジスタ108に取り込まれる。

【0036】また同様にシンドローム演算回路509内の S_n 演算回路103、…、 S_m 演算回路502、…、 S_0 演算回路105の $n+1$ 個の回路には D_{2l} が同時に入力され、 S_i ($i=n, \dots, m+1$)演算回路においては、回路内に含まれるリセット、イネーブル付き8ビットレジスタ108から出力されるデータに $\alpha^m i$ を掛け合わせたデータと足し合わせ、 S_j ($j=m, \dots, 0$)演算回路においては、回路内に含まれるリセット、イネーブル付き8ビットレジスタ108から出力されるデータに $\alpha^m j$ を2回掛け合わせたデータと足し合わせた後、イネーブル信号入力端子113から入力されるイネーブル信号がHの時、クロックの立ち上がりタイミングでリセット、イネーブル付き8ビットレジスタ108に取り込まれる。

【0037】リセット、イネーブル付き8ビットレジスタ108に取り込まれた信号は、 S_i ($i=n, \dots, 0$)演算回路からの出力となり、 $\times \alpha^m i$ 出力付きシンドローム演算回路508からは、 j ($\leq m$)に対しては20さらにリセット、イネーブル付き8ビットレジスタ108の値を $\times \alpha^m j$ した値も出力される。

【0038】1つのRS符号が全て入力された後、すなわち各シンドローム演算回路に $k/2$ 個のデータが入力された後の $\times \alpha^m i$ 出力付きシンドローム演算回路508の $\times \alpha^m j$ された後の出力とシンドローム演算回路509の j ($\leq m$)に対する出力の値は、それぞれ、 $S_j = D_{k-1} \cdot \alpha^m (j(k-1)) + D_{k-3} \cdot \alpha^m (j(k-3)) + \dots + D_1 \cdot \alpha^m j$, $S_j = D_{k-2} \cdot \alpha^m (j(k-2)) + D_{k-4} \cdot \alpha^m (j(k-4)) + \dots + D_0$ となる。

【0039】これより、モード信号入力端子505から入力されるモード信号がHのときには、 $8 \times (n+1)$ ビット出力端子118からは、($S_{m-1}, S_{m-1-1}, \dots, S_0-1$)と($S_{m-2}, S_{m-1-2}, \dots, S_0-2$)の各々を足し合わせて求められるシンドローム(S_m, S_{m-1}, \dots, S_0)が出力される。

【0040】以上より、1系列2バイト同時処理または2系列同時処理シンドローム演算回路501は、モード信号入力端子505から入力されるモード信号がHのとき1系列のRS符号を同時に2バイト処理し、モード信号がLのとき2系列のRS符号を同時に処理することがわかる。

【0041】図10は図5の1系列2バイト同時処理または2系列同時処理シンドローム演算回路501を含む誤り訂正回路1005を有するディジタルディスク再生装置の構成を示すブロック図である。

【0042】始めに、この図10のディスク1001に書き込まれるディジタルデータのフォーマットについて説明する。ディスク1001に記録された信号は、メインデータから“データセクタ601”, “ECCプロッ

ク701”，“記録セクタ802”，“物理セクタ901”を順に構成しながら作していく。

【0043】図6は、1データセクタ601の構成を表わした図である。

【0044】この図を用いて、メインデータから1データセクタ601が作られるまでの流れを説明する。

【0045】まず始めに時系列で分割された2048バイトのメインデータ602に、4バイトの識別データ(1D)603、2バイトの1D誤り検出符号(1E)604、6バイトの著作権管理情報(CPR_MA)605をメインデータの先頭に付加する。さらにこの2060バイトのデータに対する4バイトの誤り検出符号(EDC)606をデータ203末尾に付加することで1データセクタ601は生成される。

【0046】図7は、1ECCブロック701の構成を表わした図である。

【0047】この図を用いて、16個のデータセクタ601から1ECCブロック701が作られるまでの流れを説明する。

【0048】まず始めに16データセクタ601の172バイトの各列に16バイトの外符号(P0702)を付加する。次に生成された208行の各行に10バイトの内符号(P1703)を付加する。このようにして生成された208行×182バイトからなるデータフィールドを1ECCブロック701という。

【0049】ただし、P1符号は

$$\text{生成多項式 } G_{P1}(x) = (x - \alpha^9)(x - \alpha^8) \cdots (x - \alpha^0)$$

からなるRS(182, 172, 11)符号であり、PO符号は、

$$\text{生成多項式 } G_{PO}(x) = (x - \alpha^{15})(x - \alpha^{14}) \cdots (x - \alpha^0)$$

からなるRS(208, 192, 17)符号である。

【0050】図8は、記録セクタ802の構成を表わした図である。

【0051】1記録セクタ801は、1ECCブロック701生成時に付加されたP0702の1行をP1703を含む12行の1データセクタの下に合わせた182バイト×13行のデータフィールドである。

【0052】図9は、1物理セクタ901の構成を表わした図である。

【0053】1記録セクタ801から1物理セクタが作られるまでの流れをこの図を用いて説明する。

【0054】1記録セクタ801は、始めに縦に2分割(分割された1ブロックは91バイト×13行である)され、図9が表わすように各行の先頭に32ビットのSYNCコード902(SY0～SY7)が付加される。そして、2分割したデータを再度合成し、SYNCコード902を除く182×13バイトのデータに対し、直流成分を抑制するための8/16変調(8ビットで構成

されるデータをあるデータテーブルを基に16チャネルビットへと変換するシステム)を行う。このようにして作られた2976×13ビットのデータが1物理セクタ901であり、この信号がディスク記録信号となり、図10のディスク1001に書き込まれている。

【0055】図10が示す1系列2バイト同時処理または2系列同時処理シンドローム演算回路501を含む誤り訂正回路1005を有するデジタルディスク再生装置について説明する。

【0056】図10の1001はディスク、1002はピック、1003は復調回路、1004はRAM、105は1系列2バイト同時処理または2系列同時処理シンドローム演算回路を有する誤り訂正回路、1006は出力回路、1007は制御回路、1008はデータ要求信号入力端子、1009はメインデータ出力端子である。

【0057】尚、このデジタルディスク再生装置に含まれるRAM1004は2バイト単位で読み出し、書き込みが行われる。

【0058】この図においてピック1002がディスク1001から読み出したデジタル信号は、まず復調回路1003へ入力される。復調回路1003ではSYNCコード902を検出、8/16復調を行った後、制御回路1007にRAM1004へのデータ書き込み請求信号、SYNCコード902を送信した後に、制御回路1007からRAM1004に送られるアドレスにP1方向の2バイトデータを一度に書き込む。制御回路1007は、1ECCブロック701のデータを復調回路1003がRAM1004に書き込むと、誤り訂正回路1005に208系列に対するP1訂正、172系列に対するPO訂正の順で誤り訂正処理を行わせる。

【0059】制御回路1007は208系列のP1符号に対する誤り訂正が行われている期間、誤り訂正回路1005のモード信号をHとし、復調回路1003からRAM1004へのデータ書き込みが行われないときに、RAM1004から誤り訂正回路1005に2バイトのデータを出力させると同時に誤り訂正回路1005に入力されるイネーブル信号をHにすることでシンドローム演算回路にP1符号に含まれる2バイトのデータを一度に取り込ませながら、P1符号に対するシンドローム演算処理を行わせる。

【0060】またPO訂正を行う間は、制御回路1007は誤り訂正回路1005のモード信号の値をLとし、RAM1004から誤り訂正回路1005にP1訂正時と同じようにP1方向に2バイトのデータを入力させると同時にイネーブル信号をLにすることで、シンドローム演算回路に同時に2系列のPO訂正を行わせる。またこの図における制御回路1007は誤り訂正回路1005にパイプライン処理の切り替えタイミングを教えるリセット信号や誤り訂正回路1005で求められた誤りの位置を基に、誤り訂正回路1005がRAM1004上

の誤りの修正をさせる制御信号、RAM1004の制御信号を生成したり、誤り訂正処理が行われた1ECCブロックのデータをデータ要求信号入力端子1008から入力される外部からのデータ要求に備え、復調回路1003誤り訂正回路1005からRAM1004へのアクセスが行われないときに出力回路1006に出力させるなどの制御を行っている。

【0061】この図のようにRAM1004などのデータ時記憶回路に複数の回路からのアクセスが行われる装置でも、図5の1系列2バイト同時処理または2系列同時処理シンドローム演算回路501を使用すると、誤り訂正回路1005がRAM1004からのデータ読み出しに必要となるアクセス回数を半分にすることができるため、図3および図4を用いて示したように誤り訂正処理時間を見短縮することができる。

【0062】また、ディスク1001からのデータ読み出しを高速化し、装置内のデータ処理速度をあげるときに、各処理回路の高速化方法、各処理回路からのRAMアクセス数の増大などが問題となるが、本発明の回路を利用することで誤り訂正回路1005からRAM1004へのアクセス回数も低減させることができるために、図4を用いて説明したように誤り訂正処理の高速化が可能となり、また他の処理回路からのRAMアクセス数の増大に対応できるため、本発明は図10のような回路構成のシステムの高速化に対して大変有効であることがわかる。

【0063】尚、本実施例では主に2系列同時演算、1系列2バイト同時演算が可能なシンドローム演算回路を有するデジタル信号回路について取り上げてきたが、3、4、5、…など全ての複数系列同時演算、複数系列複数バイト同時演算が可能なシンドローム演算回路を有することによりこれと同じ効果を得ることができる。

【0064】また、説明したシンドローム回路の効果は、図10のデジタルデータ再生装置の以外の回路構成でも得ることが可能である。

【0065】

【発明の効果】以上、本発明によれば、複数方向に誤り訂正が行なわれるデータを入力とするデータ再生処理装置で、誤り訂正回路に含まれるシンドローム演算回路の入力を複数のデータ列または同じデータ列上の複数データに切り替え、求められた複数のシンドロームから次の演算で用いるシンドロームを選択し、シンドローム演算回路から出力することにより、同時に処理が必要なデータ数が変化する場合においても、誤り訂正回路のメモリアクセス回数を減らし、誤り訂正処理を高速化、またこの回路を有するデジタル信号処理回路の処理を高速化させることができる。

【図面の簡単な説明】
【図1】2系列同時シンドローム演算回路の図。
【図2】2系列同時シンドローム演算回路を有する誤り訂正回路の図。

【図3】既存のシンドローム演算回路を有する誤り訂正回路での系列番号と時間の関係を示した図。
【図4】2系列同時シンドローム演算回路を有する誤り訂正回路での系列番号と時間の関係を示した図。

【図5】1系列2バイト同時処理または2系列同時処理シンドローム演算回路の図。
【図6】1データセクタの図。
【図7】1ECCブロックの図。

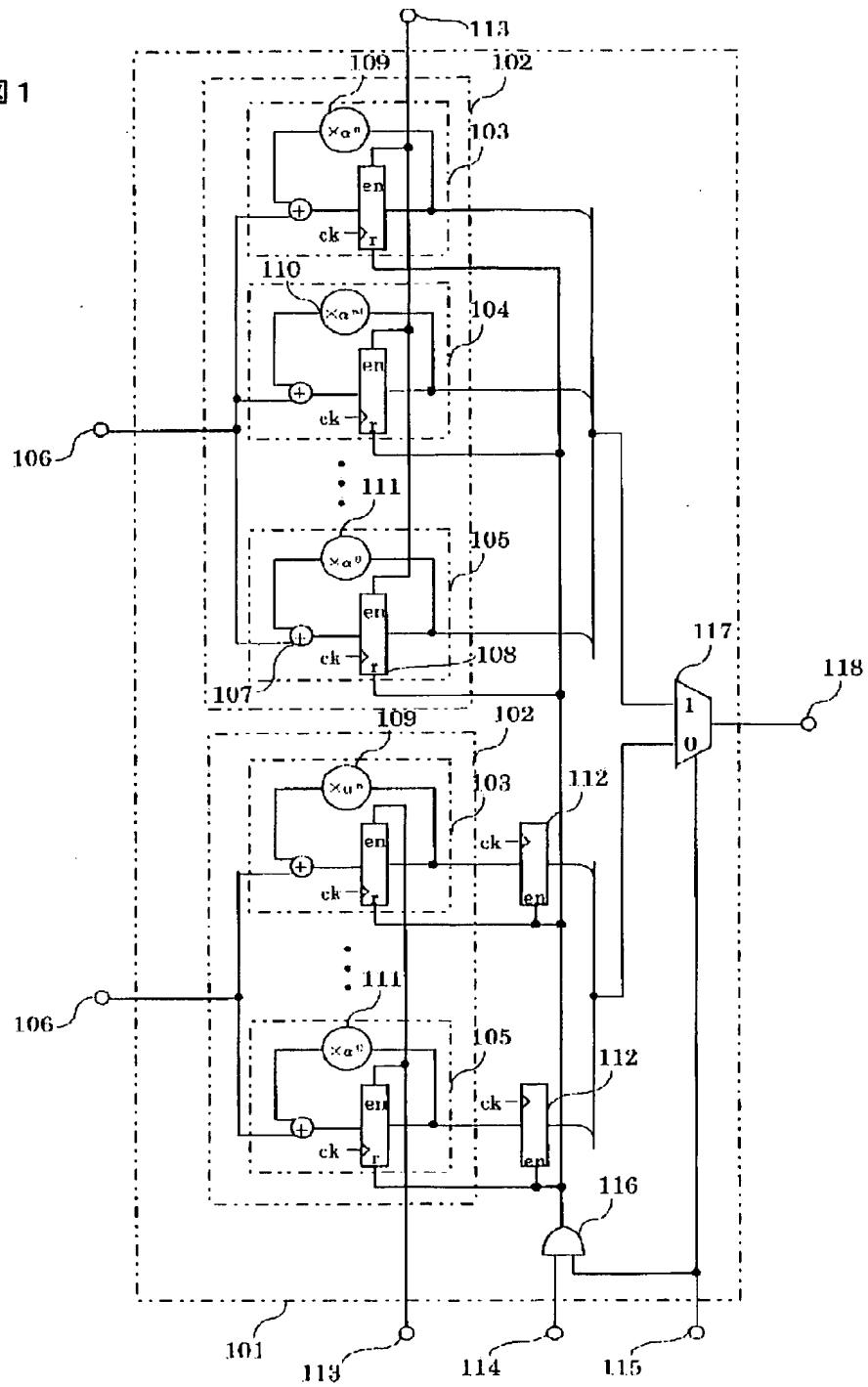
【図8】記録セクタの図。
【図9】1物理セクタの図。
【図10】ディスク再生装置の図。

【符号の説明】

101…2系列同時シンドローム演算回路、102…シンドローム演算回路、103…Sn演算回路、104…Sn-1演算回路、105…S0演算回路、106…8ビットデータ入力端子、107…GF(2^8)上の足し算回路、108…リセット、イネーブル付き8ビットレジスタ、109…α^nの掛け算回路、110…α^n-1の掛け算回路、111…α^0の掛け算回路、112…イネーブル付き8ビットレジスタ、113…イネーブル信号入力端子、114…リセット信号入力端子、115…セレクト信号入力端子、116…AND回路、117…セレクト回路、118…8×(n+1)ビット出力端子、201…誤り訂正回路、202…第2演算回路、203…第3演算回路、204…誤り修正回路、206…誤り修正受付信号入力端子、207…誤りの位置出力端子、208…誤りの値出力端子、501…1系列2バイト同時処理または2系列同時処理シンドローム演算回路、502…×α^mまたは×α^2mセレクタ付きSm演算回路、503…α^mの掛け算回路、504…OR回路、505…モード信号入力端子、506…上位バイトデータ用8ビットデータ入力端子、507…下位バイトデータ用8ビットデータ入力端子、508…×α^i出力付きシンドローム演算回路、509…シンドローム演算回路。

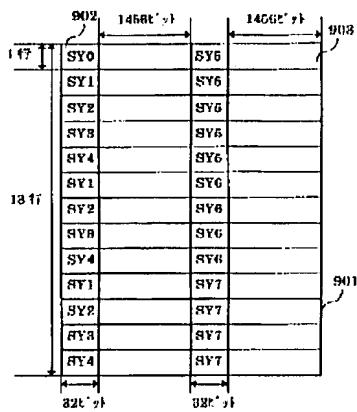
【図1】

図1

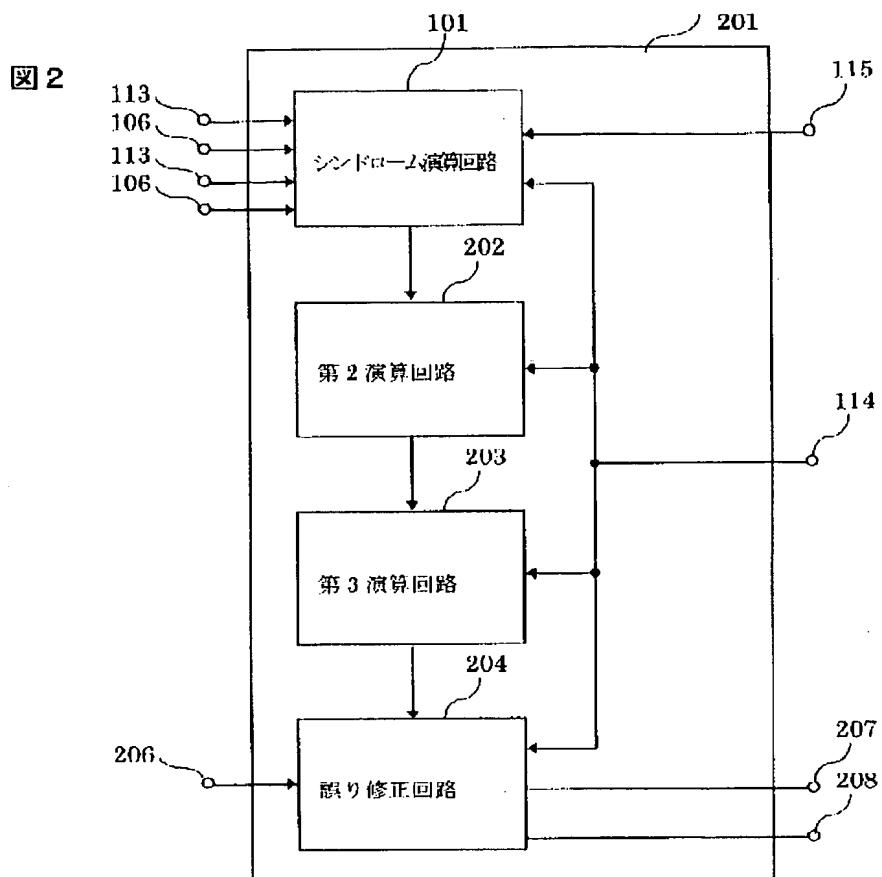


【図9】

図9

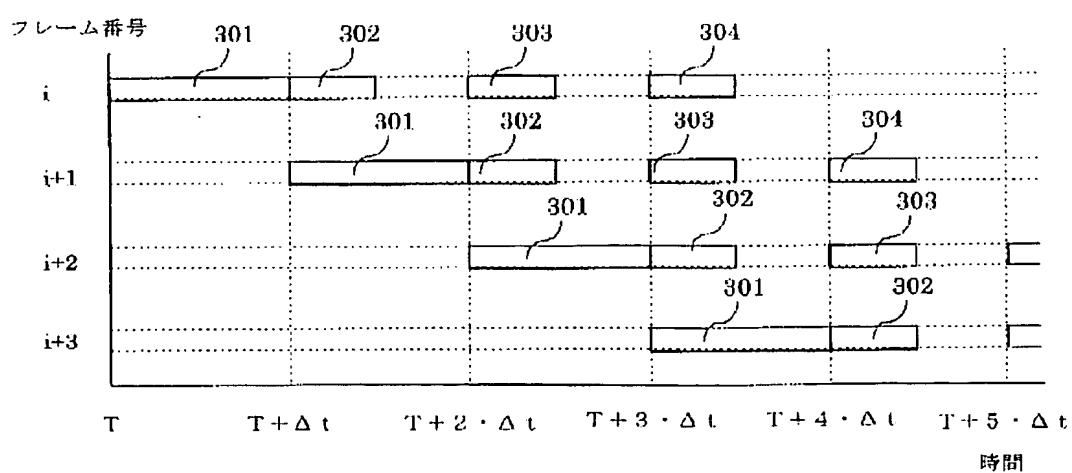


【図2】



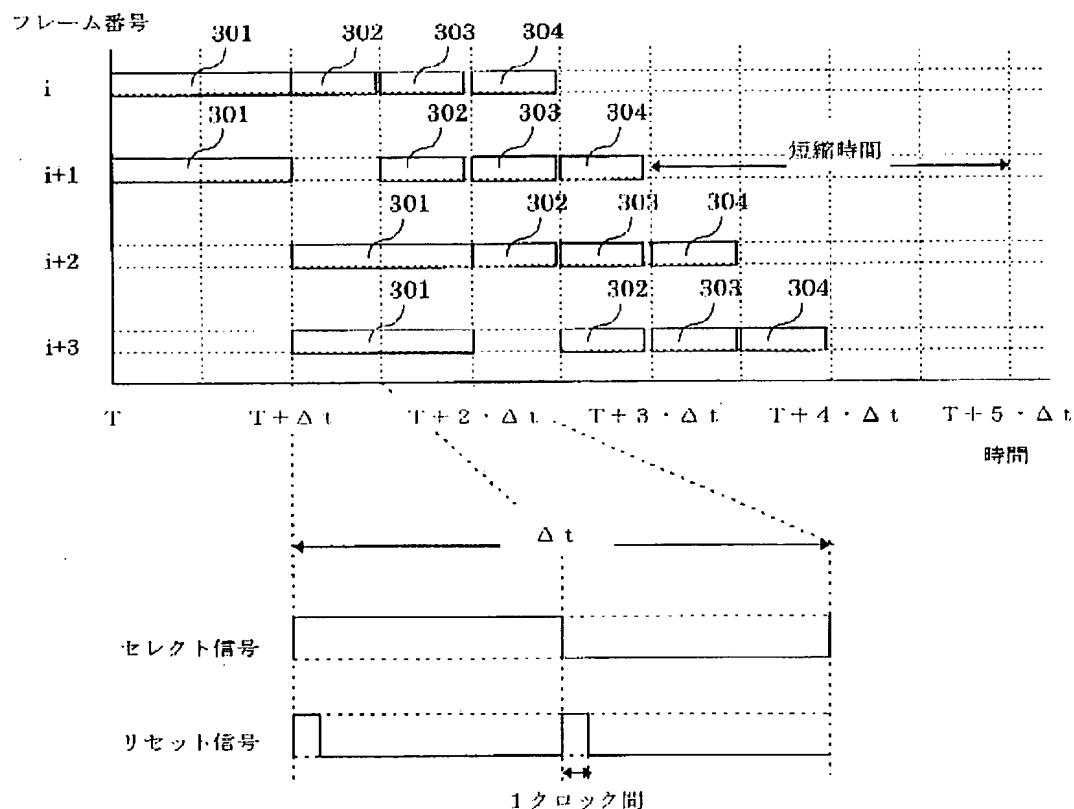
【図3】

図3

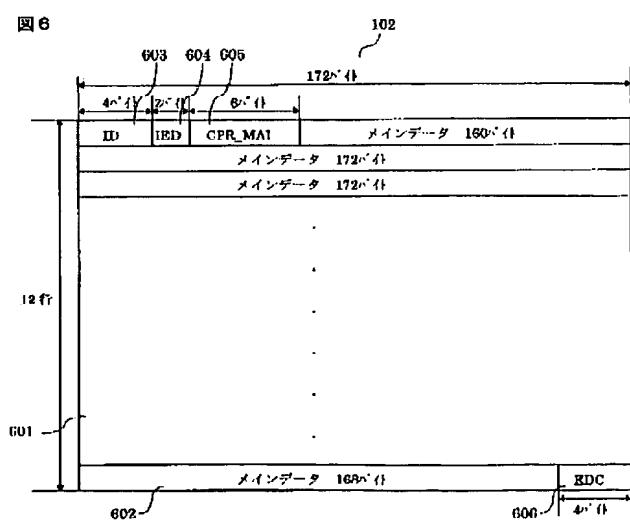


【図4】

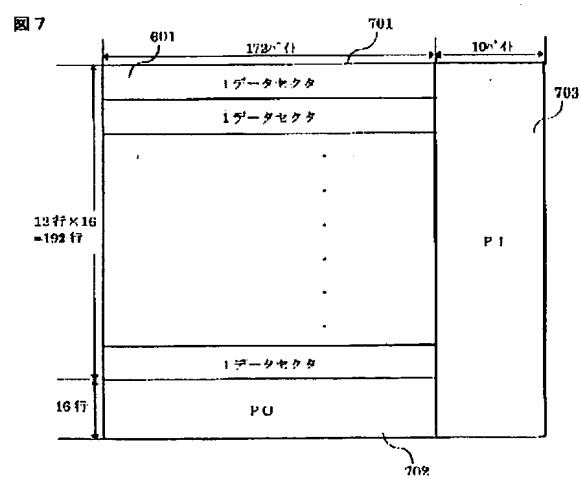
図4



【図6】

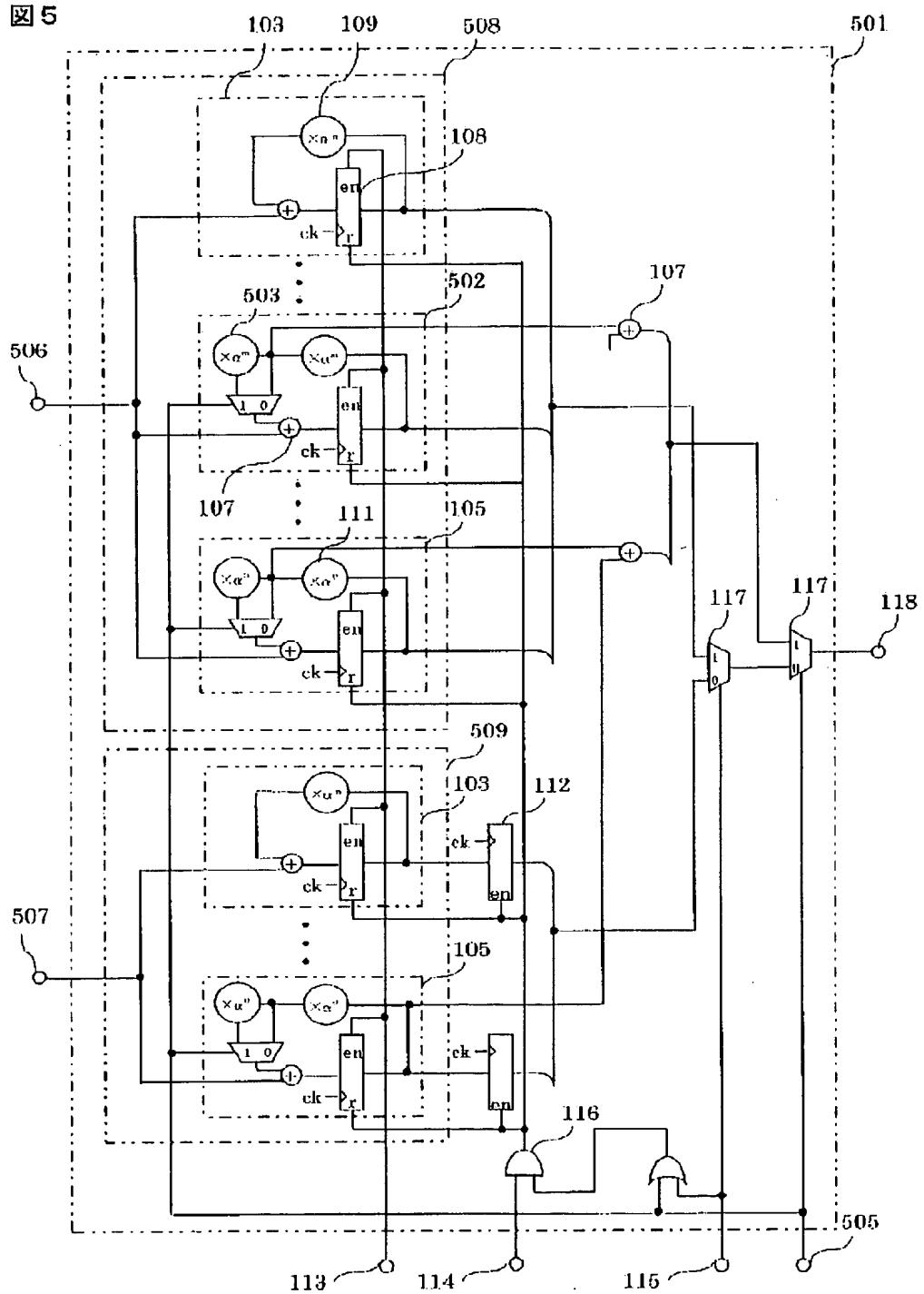


【図7】

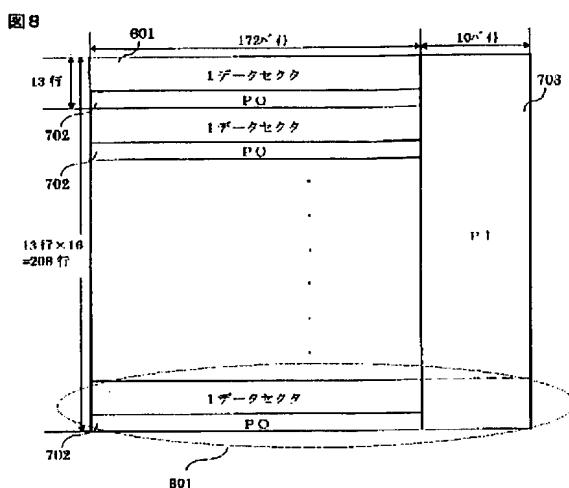


【図5】

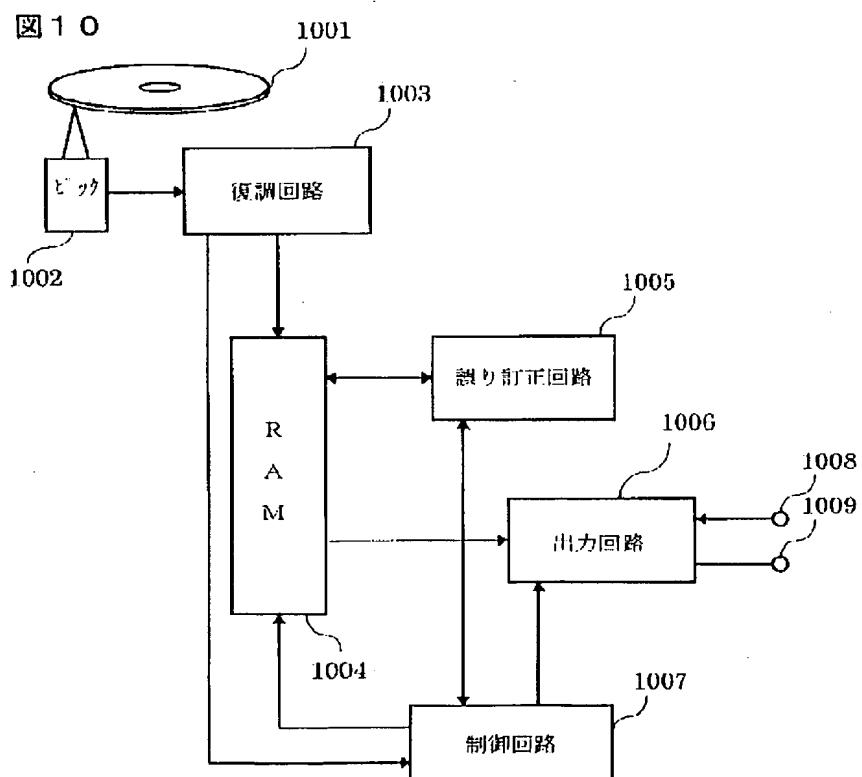
図5



【図8】



【図10】



フロントページの続き

F ターム(参考) 5J065 AA01 AB01 AC04 AD02 AD04
AD11 AE06 AF01 AG02 AH04
AH05 AH06 AH09